

APPARATUS AND METHOD FOR PHASE SYNCHRONIZATION

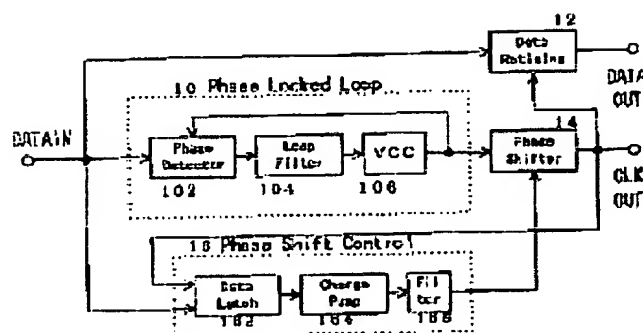
Patent number: JP2000216763
Publication date: 2000-08-04
Inventor: HONMA KANENORI
Applicant: NIPPON ELECTRIC CO
Classification:
- international: **H04L7/033; H04L7/033; (IPC1-7): H04L7/033**
- european:
Application number: JP19990011781 19990120
Priority number(s): JP19990011781 19990120

Report a data error here

Abstract of JP2000216763

PROBLEM TO BE SOLVED: To provide a phase synchronizing device, with which an extracted phase by a data re-timing circuit is automatically optimized when extracting a clock signal from a data input signal and to provide a phase synchronizing method.

SOLUTION: This phase synchronizing device is provided with a phase-locked loop circuit 10, that outputs a VCO oscillation signal as a clock signal phase-locked to a data input signal DATA IN, a phase shift circuit 14 that outputs a clock signal with respect to the data input signal DATA IN, a data re-timing circuit 12 that has an identification recovery function outputting a re-timed identification recovery signal as re-timing data, and a phase shift control circuit 16 that uses a data latching circuit 162 to receive an extracted clock signal generated and outputted from the phase locked loop circuit 10 via the phase shift circuit 14 and latches a signal level (logic level), by using the data input signal DATA IN so as to generate phase information.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-216763

(P2000-216763A)

(43) 公開日 平成12年8月4日 (2000.8.4)

(51) Int.Cl.⁷

H 0 4 L 7/033

識別記号

F I

H 0 4 L 7/02

テーマコード(参考)

B 5 K 0 4 7

審査請求 有 請求項の数14 O L (全 10 頁)

(21) 出願番号

特願平11-11781

(22) 出願日

平成11年1月20日 (1999.1.20)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 本間 謙徳

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100097113

弁理士 堀 城之

Fターム(参考) 5K047 AA06 BB02 GG08 GG23 KK02

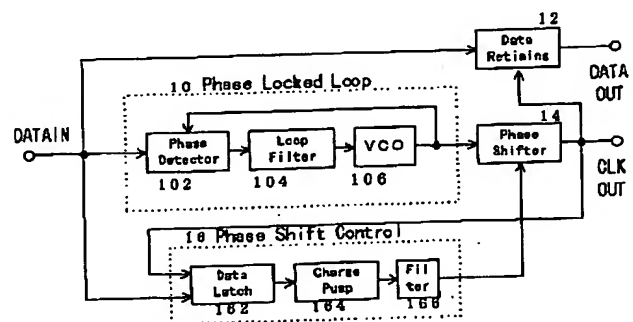
MM33 MM46 MM50 MM59 MM63

(54) 【発明の名称】 位相同期装置及び位相同期方法

(57) 【要約】

【課題】 本発明は、データ入力信号からクロック信号を抽出する際にデータリタイミング回路での打ち抜き位相を自動的に最適化できる位相同期装置及び位相同期方法を提供することを課題とする。

【解決手段】 データ入力信号DATA INに位相同期したクロック信号としてVCO発振信号を出力する位相同期ループ回路10と、データ入力信号DATA INに対してクロック信号を出力する位相シフト回路14と、リタイミングされた識別再生信号をリタイミングデータとして出力する識別再生機能を備えたデータリタイミング回路12と、位相同期ループ回路10が生成・出力する抽出クロック信号が位相シフト回路14を介してデータラッチ回路162に入力されデータ入力信号DATA INを用いて信号レベル(論理レベル)のラッチを行って位相情報を各々生成する位相シフト制御回路16とを有する。



10...位相同期ループ回路 (Phase Locked Loop)
12...データリタイミング回路 (Data Retiming)
14...位相シフト回路 (Phase Shifter)
102...位相比較器 (Phase Detector)
104...ループフィルタ (Loop Filter)
106...電圧制御発振回路 (Voltage Controlled Oscillator)
162...データラッチ回路 (Data Latch)
164...チャージポンプ回路 (Charge Pump)
166...フィルタ (Filter)
CLK OUT...抽出クロック信号
DATA IN...データ入力信号
DATA OUT...リタイミングデータ

1

【特許請求の範囲】

【請求項 1】 データ入力信号からクロック信号を抽出する際にデータリタイミング回路での打ち抜き位相を自動的に最適化できる位相同期装置であって、データ入力信号からクロック信号を抽出する手段と、前記抽出したクロック信号をデータ入力信号の中心位相に調整する手段と、前記抽出したクロック信号の打ち抜き位相を最適化する手段とを有することを特徴とする位相同期装置。

【請求項 2】 データ入力信号からクロック信号を抽出する際にデータリタイミング回路での打ち抜き位相を自動的に最適化できる位相同期装置であって、前記データ入力信号に位相同期したクロック信号としての VCO 発振信号を出力する位相同期ループ回路と、前記データ入力信号に対して所定の位相関係を持った抽出クロック信号を前記 VCO 発振信号に基づいて出力する位相シフト回路と、前記位相シフト回路が生成・出力する前記抽出クロック信号と前記データ入力信号とに基づいて、リタイミングされた識別再生信号をリタイミングデータとして生成・出力する識別再生機能を備えたデータリタイミング回路と、

前記位相同期ループ回路が生成・出力する抽出クロック信号の信号レベルを前記データ入力信号を用いてラッチするとともに、当該ラッチした信号レベルに基づいて位相情報を生成する位相シフト制御回路とを有することを特徴とする請求項 1 に記載の位相同期装置。

【請求項 3】 前記位相シフト制御回路は、前記位相情報を直流信号に変換するチャージポンプ回路及びフィルタを備え、当該直流信号を前記位相シフト回路に与えることで前記位相シフト回路を制御するように構成されていることを特徴とする請求項 2 に記載の位相同期装置。

【請求項 4】 前記位相シフト制御回路は、前記データリタイミング回路で最適位相によって識別再生が行われるように、前記データリタイミング回路への前記データ入力信号と前記抽出クロック信号の位相調整を前記位相シフト回路を用いて制御するように構成されていることを特徴とする請求項 2 または 3 に記載の位相同期装置。

【請求項 5】 前記位相同期ループ回路は、前記データ入力信号と前記 VCO 発振信号の位相差を検出する位相比較器と、前記データ入力信号から高調波成分を除去した直流成分を生成・出力するループフィルタと、当該高調波成分を除去した直流成分を前記 VCO 発振信号として用いたフィードバックをかける帰還回路とを有することを特徴とする請求項 2 乃至 4 のいずれか一項に記載の位相同期装置。

【請求項 6】 前記位相シフト制御回路が、前記データ入力信号の変化点で前記抽出クロック信号の信号レベル

2

をラッチするラッチ回路を備え、

前記位相シフト制御回路が、前記データラッチ回路の出力として前記直流信号を生成して前記位相シフト回路に対して帰還制御を実行するとともに、前記データリタイミング回路における前記抽出クロック信号の位相関係を前記データ入力信号の中心に調整するように構成されていることを特徴とする請求項 5 に記載の位相同期装置。

【請求項 7】 前記データ入力信号の一定時間連続する同符号を検出するゼロ検出回路と、

10 前記ゼロ検出回路が一定時間連続する同符号を検出したときに、前記位相シフト回路への制御信号を保持するよう切り替えを行う切り替え回路を有することを特徴とする請求項 1 乃至 6 のいずれか一項に記載の位相同期装置。

【請求項 8】 データ入力信号からクロック信号を抽出する際にデータリタイミング工程での打ち抜き位相を自動的に最適化できる位相同期方法であって、データ入力信号からクロック信号を抽出する工程と、前記抽出したクロック信号をデータ入力信号の中心位相

20 前記抽出したクロック信号の打ち抜き位相を最適化する工程とを有することを特徴とする位相同期方法。

【請求項 9】 データ入力信号からクロック信号を抽出する際にデータリタイミング工程での打ち抜き位相を自動的に最適化できる位相同期方法であって、前記データ入力信号に位相同期したクロック信号としての VCO 発振信号を出力する位相同期ループ工程と、前記データ入力信号に対して所定の位相関係を持った抽出クロック信号を前記 VCO 発振信号に基づいて出力する位相シフト工程と、

30 前記位相シフト工程が生成・出力する前記抽出クロック信号と前記データ入力信号とに基づいて、リタイミングされた識別再生信号をリタイミングデータとして生成・出力する識別再生機能を備えたデータリタイミング工程と、

前記位相同期ループ工程が生成・出力する抽出クロック信号の信号レベルを前記データ入力信号を用いてラッチするとともに、当該ラッチした信号レベルに基づいて位相情報を生成する位相シフト制御工程とを有することを特徴とする位相同期方法。

【請求項 10】 前記位相シフト制御工程は、前記位相情報を直流信号に変換する工程と、当該直流信号を前記位相シフト工程に与えることで前記位相シフト工程を制御する工程とを含むことを特徴とする請求項 9 に記載の位相同期方法。

【請求項 11】 前記位相シフト制御工程は、前記データリタイミング工程で最適位相によって識別再生が行われるように、前記データリタイミング工程への前記データ入力信号と前記抽出クロック信号の位相調整を前記位相シフト工程を用いて制御する工程を含むことを特徴と

3

する請求項 9 または 10 に記載の位相同期方法。

【請求項 12】 前記位相同期ループ工程は、前記データ入力信号と前記 VCO 発振信号の位相差を検出する工程と、前記データ入力信号から高調波成分を除去した直流成分を生成・出力する工程と、当該高調波成分を除去した直流成分を前記 VCO 発振信号として用いたフィードバックをかける工程とを含むことを特徴とする請求項 9 乃至 11 のいずれか一項に記載の位相同期方法。

【請求項 13】 前記位相シフト制御工程は、前記データ入力信号の変化点で前記抽出クロック信号の信号レベルをラッチするデータラッチ工程を含み、前記位相シフト制御工程は、前記データラッチ工程の出力として前記直流信号を生成して前記位相シフト工程に対して帰還制御を実行するとともに、前記データリタイミング工程における前記抽出クロック信号の位相関係を前記データ入力信号の中心に調整する工程を含むことを特徴とする請求項 12 に記載の位相同期方法。

【請求項 14】 前記データ入力信号の一定時間連続する同符号を検出するゼロ検出工程と、前記ゼロ検出工程が一定時間連続する同符号を検出したときに、前記位相シフト工程への制御信号を保持するよう切り替えを行う切り替え工程を有することを特徴とする請求項 8 乃至 13 のいずれか一項に記載の位相同期方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、データ入力信号からクロック信号を抽出するための位相同期技術に関し、特にデータ入力信号からクロック信号を抽出する際にデータリタイミング回路での打ち抜き位相を自動的に最適化できる位相同期装置及び位相同期方法に関する。

【0002】

【従来の技術】 光通信システムに代表される高速通信技術が急速に進展する近年、位相同期装置に用いられるタイミング抽出・データリタイミング回路（識別再生回路）には、位相同期ループ回路の高速化・同符号連続に対する安定性が求められてきている。しかも、回路構成としては、規模を極力小さく実現することが必要であり、従来の位相同期装置及び位相同期方法に対し、規模は必要以上に大きくすることができない状況にある。一方、従来、データ入力信号のビットレートがおよそ 100 MHz より低い場合には、位相同期ループ回路での位相比較器におけるデータ入力信号と電圧制御発振回路の出力との位相関係（位相差）は、データリタイミング回路（識別再生回路）での識別位相関係（識別位相差）とほぼ同程度の値を示しており、電圧制御発振回路の出力をそのまま識別クロックとしても符号誤りを起こす危険は少なかった。

4

【0003】 しかしながら、光通信システムに代表される高速通信技術のようにデータ入力信号のビットレートが高速化されることに伴い、受信回路のクロック抽出に対する高速化のみならず識別位相点の調整が必要となっており、このような問題点を解決する従来技術としては、例えば、図 6 に示すような位相同期装置が一般的に用いられている（第 1 従来技術）。しかしながら第 1 従来技術の位相同期装置及び位相同期方法は、位相シフト回路のシフト量を外部から制御する方式であり、製造された位相同期装置及び位相同期方法（位相同期ループ回路）を個々に調整する必要があるという問題点があった。また外部から制御する方式では、一定の値に固定してしまうと電源や温度などの環境変動に対して追従性を失ってしまう、また、これら環境変動に対応するよう外部に調整回路を設けても、データリタイミング回路（識別再生回路）での識別位相点を正確に調整することは困難であるという問題点があった。これは、識別位相点での位相差をフィードバック制御していないからである。

【0004】 また符号誤りを低減する別の方法として、位相同期装置の位相同期ループ回路のループ利得をより高くすることによって定常位相誤差を小さくすることができるが、反面、各要素回路（電圧制御発振回路、位相比較器、ループフィルタ）のゲイン〔変換利得〕が大きくなってしまい、位相同期ループ回路の出力ジッタの増加につながってしまうという問題点があった。

【0005】 一方、識別位相点を調整するための従来技術としては、例えば、特開昭 56-15233 号公報に記載のものがある（第 2 従来技術、図 7）。すなわち、第 2 従来技術は、入力端子 1 に入力される信号の信号電力対雑音電力比（CNR）を検出し、この信号電力対雑音電力比（CNR）を利用して位相検波器 11 の感度変化ループの利得を調整することにより、最適の位相同期性能を得る位相同期ループ回路〔検波器 2、ループフィルタ 3、増幅器 7、ゲインコントロール回路 5〕を形成し、検波器 2 によって位相誤差信号を発生させ、コンデンサ 8 により誤差電圧のうち雑音成分によるもののみを取り出し、信号電力対雑音電力比（CNR）に対応する雑音成分を全波整流回路 9 で整流し、ローパスフィルタ（LPF）10 で整流出力を平滑して増幅器 7 に対する利得の制御速度を定めている。信号電力対雑音電力比（CNR）の変化によつて検波器 2 の感度が変化するがこの逆の利得変化を増幅器 7 に持たせ、常にループの特性を一定に保持している。

【0006】 また一方、識別位相点を調整するための従来技術としては、例えば、特開平 8-171781 号公報に記載のものがある（第 3 従来技術、図 8）。すなわち、第 3 従来技術は、ウィンドマージンを最大にするために必要な遅延量を得るためにタップ付き遅延線 8 を設け、ウィンドから外れたことを検出するために検出回路 4 を設け、検出結果から必要とする遅延量を持つタップ

10

20

30

40

50

5

を選択するために計算回路 5 を設けている。このような第 3 従来技術は、磁気ディスク装置等のシステムにおいて、記録信号を再生し復号するときに用いられる位相同期回路 1 について考案されたものであって、ラッチ回路（図中でラッチ 1 と表記）の結果を検出回路によって誤りを検出し、遅延線の選択を検出回路 4 の結果によって制御する構成となっている。

【0007】

【発明が解決しようとする課題】しかしながら、第 2 従来技術は、位相同期ループ回路内の増幅器 7 の利得を変化させているため、位相同期ループ回路が位相同期したときのジッタ特性（例えば、ジッタ耐力特性、ジッタ伝達特性、出力ジッタ特性（ITU, G. 958 参照））が変化してしまうという問題点があった。

【0008】また一方、第 3 従来技術は、磁気データの再生などデコーダを用いて復号する場合では誤りを検出して最適位相を選択することは可能であるが、光通信等の高速通信技術のタイミング抽出に用いた場合符号誤りが多発する可能性が高く実用的でないという問題点があった。

【0009】本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、データリタイミング回路（識別再生回路）での打ち抜き位相を自動的に最適化できる位相同期装置及び位相同期方法を提供する点にある。

【0010】

【課題を解決するための手段】本発明の請求項 1 に記載の要旨は、データ入力信号からクロック信号を抽出する際にデータリタイミング回路での打ち抜き位相を自動的に最適化できる位相同期装置であって、データ入力信号からクロック信号を抽出する手段と、前記抽出したクロック信号をデータ入力信号の中心位相に調整する手段と、前記抽出したクロック信号の打ち抜き位相を最適化する手段とを有することを特徴とする位相同期装置に存する。また本発明の請求項 2 に記載の要旨は、データ入力信号からクロック信号を抽出する際にデータリタイミング回路での打ち抜き位相を自動的に最適化できる位相同期装置であって、前記データ入力信号に位相同期したクロック信号としての VCO 発振信号を出力する位相同期ループ回路と、前記データ入力信号に対して所定の位相関係を持った抽出クロック信号を前記 VCO 発振信号に基づいて出力する位相シフト回路と、前記位相シフト回路が生成・出力する前記抽出クロック信号と前記データ入力信号とに基づいて、リタイミングされた識別再生信号をリタイミングデータとして生成・出力する識別再生機能を備えたデータリタイミング回路と、前記位相同期ループ回路が生成・出力する抽出クロック信号の信号レベルを前記データ入力信号を用いてラッチするとともに、当該ラッチした信号レベルに基づいて位相情報を生成する位相シフト制御回路とを有することを特徴とする

6

請求項 1 に記載の位相同期装置に存する。また本発明の請求項 3 に記載の要旨は、前記位相シフト制御回路は、前記位相情報を直流信号に変換するチャージポンプ回路及びフィルタを備え、当該直流信号を前記位相シフト回路に与えることで前記位相シフト回路を制御するように構成されていることを特徴とする請求項 2 に記載の位相同期装置に存する。また本発明の請求項 4 に記載の要旨は、前記位相シフト制御回路は、前記データリタイミング回路で最適位相によって識別再生が行われるように、前記データリタイミング回路への前記データ入力信号と前記抽出クロック信号の位相調整を前記位相シフト回路を用いて制御するように構成されていることを特徴とする請求項 2 または 3 に記載の位相同期装置に存する。また本発明の請求項 5 に記載の要旨は、前記位相同期ループ回路は、前記データ入力信号と前記 VCO 発振信号の位相差を検出する位相比較器と、前記データ入力信号から高調波成分を除去した直流成分を生成・出力するループフィルタと、当該高調波成分を除去した直流成分を前記 VCO 発振信号として用いたフィードバックをかける帰還回路とを有することを特徴とする請求項 2 乃至 4 のいずれか一項に記載の位相同期装置に存する。また本発明の請求項 6 に記載の要旨は、前記位相シフト制御回路が、前記データ入力信号の変化点で前記抽出クロック信号の信号レベルをラッチするラッチ回路を備え、前記位相シフト制御回路が、前記データラッチ回路の出力として前記直流信号を生成して前記位相シフト回路に対して帰還制御を実行するとともに、前記データリタイミング回路における前記抽出クロック信号の位相関係を前記データ入力信号の中心に調整するように構成されていることを特徴とする請求項 5 に記載の位相同期装置に存する。また本発明の請求項 7 に記載の要旨は、前記データ入力信号の一定時間連続する同符号を検出するゼロ検出回路と、前記ゼロ検出回路が一定時間連続する同符号を検出したときに、前記位相シフト回路への制御信号を保持するよう切り替えを行う切り替え回路を有することを特徴とする請求項 1 乃至 6 のいずれか一項に記載の位相同期装置に存する。また本発明の請求項 8 に記載の要旨は、データ入力信号からクロック信号を抽出する際にデータリタイミング工程での打ち抜き位相を自動的に最適化できる位相同期方法であって、データ入力信号からクロック信号を抽出する工程と、前記抽出したクロック信号をデータ入力信号の中心位相に調整する工程と、前記抽出したクロック信号の打ち抜き位相を最適化する工程とを有することを特徴とする位相同期方法に存する。また本発明の請求項 9 に記載の要旨は、データ入力信号からクロック信号を抽出する際にデータリタイミング工程での打ち抜き位相を自動的に最適化できる位相同期方法であって、前記データ入力信号に位相同期したクロック信号としての VCO 発振信号を出力する位相同期ループ工程と、前記データ入力信号に対して所定の位相関係を

持った抽出クロック信号を前記VCO発振信号に基づいて出力する位相シフト工程と、前記位相シフト工程が生成・出力する前記抽出クロック信号と前記データ入力信号とに基づいて、リタイミングされた識別再生信号をリタイミングデータとして生成・出力する識別再生機能を備えたデータリタイミング工程と、前記位相同期ループ工程が生成・出力する抽出クロック信号の信号レベルを前記データ入力信号を用いてラッチするとともに、当該ラッチした信号レベルに基づいて位相情報を生成する位相シフト制御工程とを有することを特徴とする位相同期方法に存する。また本発明の請求項10に記載の要旨は、前記位相シフト制御工程は、前記位相情報を直流信号に変換する工程と、当該直流信号を前記位相シフト工程に与えることで前記位相シフト工程を制御する工程とを含むことを特徴とする請求項9に記載の位相同期方法に存する。また本発明の請求項11に記載の要旨は、前記位相シフト制御工程は、前記データリタイミング工程で最適位相によって識別再生が行われるように、前記データリタイミング工程への前記データ入力信号と前記抽出クロック信号の位相調整を前記位相シフト工程を用いて制御する工程を含むことを特徴とする請求項9または10に記載の位相同期方法に存する。また本発明の請求項12に記載の要旨は、前記位相同期ループ工程は、前記データ入力信号と前記VCO発振信号の位相差を検出する工程と、前記データ入力信号から高調波成分を除去した直流成分を生成・出力する工程と、当該高調波成分を除去した直流成分を前記VCO発振信号として用いたフィードバックをかける工程とを含むことを特徴とする請求項9乃至11のいずれか一項に記載の位相同期方法に存する。また本発明の請求項13に記載の要旨は、前記位相シフト制御工程は、前記データ入力信号の変化点で前記抽出クロック信号の信号レベルをラッチするデータラッチ工程を含み、前記位相シフト制御工程は、前記データラッチ工程の出力として前記直流信号を生成して前記位相シフト工程に対して帰還制御を実行するとともに、前記データリタイミング工程における前記抽出クロック信号の位相関係を前記データ入力信号の中心に調整する工程を含むことを特徴とする請求項12に記載の位相同期方法に存する。また本発明の請求項14に記載の要旨は、前記データ入力信号の一定時間連続する同符号を検出するゼロ検出工程と、前記ゼロ検出工程が一定時間連続する同符号を検出したときに、前記位相シフト工程への制御信号を保持するよう切り替えを行う切り替え工程を有することを特徴とする請求項8乃至13のいずれか一項に記載の位相同期方法に存する。

【0011】

【発明の実施の形態】以下に示す各実施形態の特徴は、データ入力信号DATA INからクロック信号（抽出クロック信号CLK OUT）を抽出するための位相同期装置及び位相同期方法において、抽出したクロック信

号（抽出クロック信号CLK OUT）をデータ入力信号DATA INの中心位相に調整することにより、データリタイミング回路12（識別再生回路）での打ち抜き位相を自動的に最適にする点にある。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0012】（第1実施形態）図1を参照して実施形態の構成を説明する。図1は本発明にかかる位相同期装置及び位相同期方法の第1実施形態を説明するための機能ブロック図である。図1を参照すると、位相同期装置は、位相同期ループ回路10（図中でPhase Locked Loopと表記）、データリタイミング回路12（識別再生回路）（図中でData Retimingと表記）、位相シフト回路14（図中でPhase Shifterと表記）、位相シフト制御回路16（図中でPhase Shift Controlと表記）を備えている。位相同期ループ回路10は、縦続接続された位相比較器102（図中でPhase Detectorと表記）、ループフィルタ104（図中でLoop Filterと表記）及び電圧制御発振回路106（図中でVoltage Controlled Oscillatorと表記）を備えている。

【0013】データ入力端子DATA INから入力されたデータ入力信号DATA INは、位相同期ループ回路10とデータリタイミング回路12（識別再生回路）と位相シフト制御回路16とに与えられる。位相同期ループ回路10は位相比較器102とループフィルタ104と電圧制御発振回路106とで構成され、データ入力信号DATA INに位相同期したVCO発振信号（電圧制御発振回路106の出力信号）を出力する。

【0014】位相同期装置及び位相同期方法では、データ入力端子DATA INへのデータ入力信号DATA INに対して、位相シフト回路14がクロック信号（抽出クロック信号CLK OUT）を出力し、リタイミングされた識別再生信号をリタイミングデータ（図中でDATA OUTと表記）としてデータリタイミング回路12（識別再生回路）が出力する。

【0015】位相シフト制御回路16は、縦続接続されたデータラッチ回路162（図中でData Latchと表記）、チャージポンプ回路164（図中でCharge Pumpと表記）及びフィルタ166（図中でFilterと表記）を備え、位相同期ループ回路10が生成・出力する抽出クロック信号（図中でCLK OUTと表記）が位相シフト回路14を介してデータラッチ回路162に入力され、データ入力信号DATA INを用いて信号レベル（論理レベル）のラッチを行って位相情報を各々生成し、この位相情報をチャージポンプ回路164とフィルタ166とで直流信号に変換して位相シフト回路14に与えることで位相シフト回路14を制御するように構成されている。換言すれば、位相シフト制御回路16は、データリタイミング回路12（識別再

生回路)へのデータ入力信号DATA INと打ち抜きクロック信号(抽出クロック信号CLK OUT)の位相調整を位相シフト回路14を用いて制御していることになり、データリタイミング回路12(識別再生回路)では最適位相によって識別再生が行われる。

【0016】次に図1の位相同期装置及び位相同期方法の動作を説明する。図2(a)は図1の位相同期装置の動作、及び図1の位相同期装置で実行される位相同期方法の動作の一実施形態を説明するためのタイミングチャートであり、図2(b)は図2(a)における1ビット幅の拡大模式図である。以下の説明では、データ入力端子DATA INに入力される信号がNRZ(Non Return to Zero)形式のデータであると仮定し、図1におけるデータリタイミング回路12(識別再生回路)がクロック信号(抽出クロック信号CLK OUT)の立ち上がりエッジでデータ入力信号DATA INをラッチするものと仮定すると、図2に示す位相関係が理想と考えられる。

【0017】位相同期ループ回路10では、データ入力信号DATA INと電圧制御発振回路106の出力信号(VCO発振信号)の位相差を位相比較器102によって検出し、ループフィルタ104によって高調波成分を除去した残りの直流成分を電圧制御発振回路106の出力信号(VCO発振信号)としてフィードバックをかける帰還回路が構成されている。

【0018】電圧制御発振回路106の出力信号(VCO発振信号)とデータ入力信号DATA INの位相差は図2(a), (b)に示す位置関係が理想的であるが、半導体集積回路における各要素ブロック(例えば、位相比較器102、ループフィルタ104、あるいは電圧制御発振回路106)の製造ばらつきによって、位相同期ループ回路10の回路全体では、データ入力信号DATA INと電圧制御発振回路106の出力信号(VCO発振信号)との間(すなわち、位相比較器102の各入力)に位相差を生じて同期を維持するための一定の誤差を生じる。通常、この位相差は「定常位相誤差」と呼ばれている。定常位相誤差はその大きさの大小にかかわらず、どのような位相同期ループ回路10にも発生する。これは、回路を設計する条件で、各要素回路が全く誤差を生じることがなく製造されることは不可能なためである。

【0019】いま、位相シフト回路14でのシフト量がないものとし、定常位相誤差を含んだときのデータ入力信号DATA INと電圧制御発振回路106の出力信号(VCO発振信号)の位相関係を図3の位相関係と仮定する。図3は位相シフト回路でのシフト量がないものと仮定した場合の、定常位相誤差を含んだときのデータ入力信号と電圧制御発振回路の出力信号(VCO発振信号)の位相関係例を示すタイミングチャートである。図4は図3の位相関係において、位相シフト回路が位相シ

フト量を少なくした後のデータ入力信号と電圧制御発振回路の出力信号(VCO発振信号)との位相関係を示すタイミングチャートである。先に述べたように、位相差の大小はそれぞれの位相同期ループ回路10によって異なってくる。図3に示すような位相関係のとき、位相シフト制御回路16のデータラッチ回路162が、データ入力信号DATA INの変化点でクロック信号(抽出クロック信号CLK OUT)の信号レベル(論理レベル)をラッチすることにより、それぞれの位相関係がどのようなになっているかを検出する。図3の場合では、「電圧制御発振回路106の出力信号(VCO発振信号)がデータ入力信号DATA INより遅れている」状態のとき、データラッチ回路162では論理値Hを検出している。

【0020】一方、データ入力信号DATA INと電圧制御発振回路106の出力信号(VCO発振信号)の位相関係を図4の位相関係と仮定すると、図3での説明と同様に、位相差の大小は位相同期ループ回路10によって異なってくるが、位相シフト制御回路16のデータラッチ回路162では、データ入力信号DATA INの変化点(立ち上がりエッジや立ち下がりエッジ)でクロック信号(抽出クロック信号CLK OUT)の信号レベル(論理レベル)をラッチすることで、「電圧制御発振回路106の出力信号(VCO発振信号)がデータ入力信号DATA INより進んでいる」状態のとき、データラッチ回路162で論理値Lを検出している。

【0021】位相シフト制御回路16ではデータラッチ回路162の出力としてチャージポンプ回路164とフィルタ166によって直流信号を生成し、位相シフト回路14(Phase Shifter)を制御している。図3の「電圧制御発振回路106の出力信号(VCO発振信号)がデータ入力信号DATA INより遅れている」状態のとき、データラッチ回路162が論理値Hを検出しているため、位相シフト回路14が位相シフト量を少なくするよう制御信号を与え、クロック信号(抽出クロック信号CLK OUT)の位相を進める。

【0022】この制御が繰り返されると、結果的には図4のような位相関係が実現されることになり、このときの制御は「電圧制御発振回路106の出力信号(VCO発振信号)がデータ入力信号DATA INより進んでいる」状態であるため、データラッチ回路162では論理値Lを検出し、位相シフト回路14からは位相シフト量を多くするよう制御信号が与えられる。このような帰還制御が働くことにより、データリタイミング回路12(識別再生回路)における打ち抜きクロック信号(抽出クロック信号CLK OUT)の位相関係がデータ入力信号DATA INの中心に調整されることになり、最適な識別位相点を実現できる。このようなクロック信号(抽出クロック信号CLK OUT)の位相補正を行っても、位相同期ループ回路10での電圧制御発振回路10

6の出力信号(VCO発振信号)の位相関係は同期を維持した状態のままであり、定常位相誤差を発生することを妨げていないため、クロック信号(抽出クロック信号CLK OUT)の抽出に関しては、何ら問題を与えていない。

【0023】以上説明したように、第1実施形態によれば、第1に、電圧制御発振回路106の出力信号(VCO発振信号)とデータ入力信号DATA INとの位相関係に関して、データラッチ回路162を用いた位相シフト制御回路16によって、クロック信号(抽出クロック信号CLK OUT)の位相をデータ入力信号DATA INの中心に自動的に設定するよう位相調整回路を制御する構成を用いることにより、クロック抽出回路(位相同期ループ回路10)における位相同期特性を損なうことなく、データリタイミング回路12(識別再生回路)についての識別タイミング位相を自動的に最適点に調整することができるといった効果を奏する。第2に、位相シフト回路14によって電圧制御発振回路106の出力信号(VCO発振信号)の位相補正を行っても、クロック抽出用の位相同期ループ回路10での電圧制御発振回路106の出力信号(VCO発振信号)の位相関係は同期を維持した状態を保持でき、同期を保持するための定常位相誤差を発生することを妨げないため、クロック抽出動作に関しては何ら問題を与えないといった効果を奏する。第3に、データリタイミング回路12(識別再生回路)における最適位相に調整するために、位相シフト回路14によって識別位相点での位相差を検出し位相シフト量をフィードバック制御しているため、回路規模を小さく実現でき、かつ、位相同期ループ回路10の同期特性を変化させることなく位相調整が正確に行えるといった効果を奏する。

【0024】(第2実施形態)次に、本発明の第2実施形態について図面を参照して説明する。図5は本発明にかかる位相同期装置及び位相同期方法の第2実施形態を説明するための機能ブロック図である。なお、第1実施形態において既に記述したものと同一の部分については、同一符号を付し、重複した説明は省略する。

【0025】光通信や有線伝送において、データ入力信号DATA INの同符号連続は考慮すべき項目である。前述の第1実施形態の位相同期装置及び位相同期方法では、データ入力信号DATA INを用いてクロック信号(抽出クロック信号CLK OUT)をラッチしているために、データ入力信号DATA INに変化点なくなる(換言すれば、同符号が連続する)と、位相シフト回路14は動作しなくなる。この結果、データリタイミング回路12(識別再生回路)での識別位相点の調整が行われなくなり、識別誤りを起こしてしまうというケースが考えられる。

【0026】そこで、第2実施形態の位相同期装置及び位相同期方法では、図5に示すように、データ入力信号

DATA INの同符号連続をゼロ検出回路20(図中でZero Detectorと表記)で一定時間の同符号を検出し、データ入力信号DATA INに変化点なくなる(換言すれば、同符号が連続する)ことを検出したときに、切り替え回路18(図中でSWと表記)を用いて、位相シフト回路14への制御信号を保持するよう切り替えを行う。

【0027】また、位相シフト回路14は、シフト量をアナログ的に無断回に変化させるような回路構成や、シフトレジスタ回路などを用いてデジタル的に最適位相の信号を選択するような回路構成手段も有効である。デジタル的に最適位相の制御をする場合には、位相の調整が段階的になり出力クロックのジッタの原因になる一方で、シフト回路の構成が論理回路で構成できるため、機能を実現することは比較的容易である。

【0028】以上説明したように、第2実施形態によれば、第1実施形態に記載の効果に加えて、データ入力信号DATA INに変化点なくなる(換言すれば、同符号が連続する)場合でも識別位相点が最適な状態を保つことができ、符号誤りを防ぐことができるといった効果を奏する。

【0029】なお、本発明が上記各実施形態に限定されず、本発明の技術思想の範囲内において、各実施形態は適宜変更され得ることは明らかである。また上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。また、各図において、同一構成要素には同一符号を付している。

【0030】

【発明の効果】本発明は以上のように構成されているので、以下に掲げる効果を奏する。第1に、電圧制御発振回路の出力信号(VCO発振信号)とデータ入力信号との位相関係に関して、データラッチ回路を用いた位相シフト制御回路によって、クロック信号(抽出クロック信号)の位相をデータ入力信号の中心に自動的に設定するよう位相調整回路を制御する構成を用いることにより、クロック抽出回路(位相同期ループ回路)における位相同期特性を損なうことなく、データリタイミング回路(識別再生回路)についての識別タイミング位相を自動的に最適点に調整することができるといった効果を奏する。第2に、位相シフト回路によって電圧制御発振回路の出力信号(VCO発振信号)の位相補正を行っても、クロック抽出用の位相同期ループ回路での電圧制御発振回路の出力信号(VCO発振信号)の位相関係は同期を維持した状態を保持でき、同期を保持するための定常位相誤差を発生することを妨げないため、クロック抽出動作に関しては何ら問題を与えないといった効果を奏する。第3に、データリタイミング回路(識別再生回路)における最適位相に調整するために、位相シフト回路によって識別位相点での位相差を検出し位相シフト量をフ

ィードバック制御しているため、回路規模を小さく実現でき、かつ、位相同期ループ回路の同期特性を変化させることなく位相調整が正確に行えるといった効果を奏する。

【図面の簡単な説明】

【図 1】本発明にかかる位相同期装置及び位相同期方法の第 1 実施形態を説明するための機能ブロック図である。

【図 2】図 2 (a) は図 1 の位相同期装置の動作、及び図 1 の位相同期装置で実行される位相同期方法の動作の一実施形態を説明するためのタイミングチャートであり、図 2 (b) は図 2 (a) における 1 ビット幅の拡大模式図である。

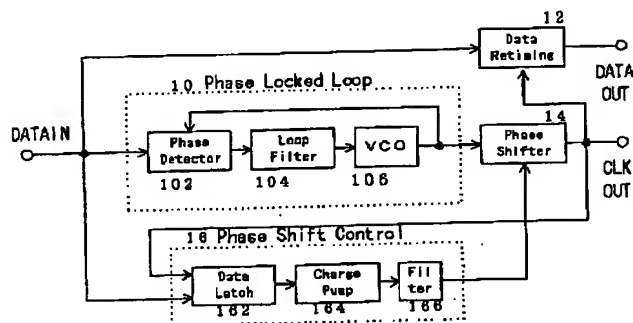
【図 3】位相シフト回路でのシフト量がないものと仮定した場合の、定常位相誤差を含んだときのデータ入力信号と電圧制御発振回路の出力信号 (VCO 発振信号) の位相関係例を示すタイミングチャートである。

【図 4】図 3 の位相関係において、位相シフト回路が位相シフト量を少なくした後のデータ入力信号と電圧制御発振回路の出力信号 (VCO 発振信号) との位相関係を示すタイミングチャートである。

【図 5】本発明にかかる位相同期装置及び位相同期方法の第 2 実施形態を説明するための機能ブロック図である。

【図 6】第 1 従来技術の位相同期装置を説明するためのブロック図である。

【図 1】



10…位相同期ループ回路 (Phase Locked Loop)
12…データリタイミング回路 (Data Retiming)
14…位相シフト回路 (Phase Shifter)
102…位相比較器 (Phase Detector)
104…ループフィルタ (Loop Filter)
106…電圧制御発振回路 (Voltage Controlled Oscillator)
162…データラッチ回路 (Data Latch)
164…チャージポンプ回路 (Charge Pump)
166…フィルタ (Filter)
CLK OUT…抽出クロック信号
DATA IN…データ入力信号
DATA OUT…リタイミングデータ

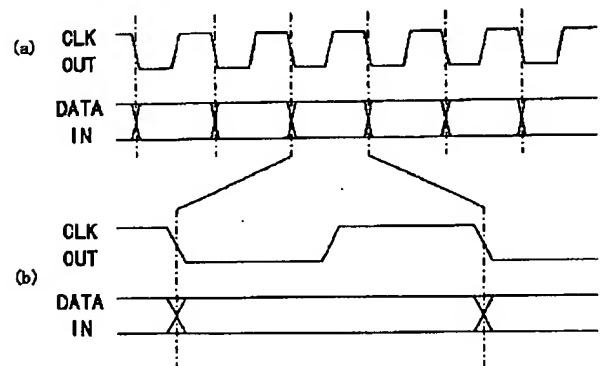
【図 7】第 2 従来技術の位相同期装置を説明するためのブロック図である。

【図 8】第 3 従来技術の位相同期装置を説明するためのブロック図である。

【符号の説明】

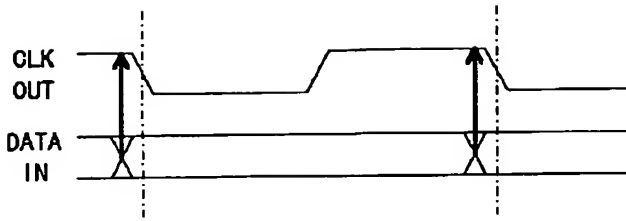
10…位相同期ループ回路 (Phase Locked Loop)
102…位相比較器 (Phase Detector)
104…ループフィルタ (Loop Filter)
106…電圧制御発振回路 (Voltage Controlled Oscillator)
12…データリタイミング回路 (Data Retiming)
14…位相シフト回路 (Phase Shifter)
16…位相シフト制御回路 (Phase Shift Control)
162…データラッチ回路 (Data Latch)
164…チャージポンプ回路 (Charge Pump)
166…フィルタ (Filter)
18…切り替え回路 (SW)
20…ゼロ検出回路 (Zero Detector)
CLK OUT…抽出クロック信号
DATA IN…データ入力信号
DATA OUT…リタイミングデータ

【図 2】



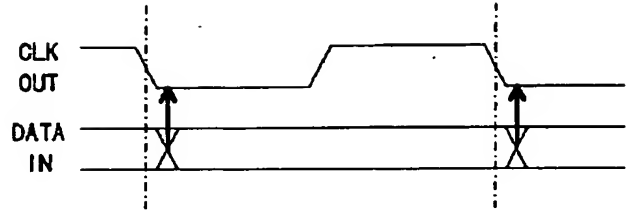
CLK OUT…抽出クロック信号
DATA IN…データ入力信号
DATA OUT…リタイミングデータ

【図 3】



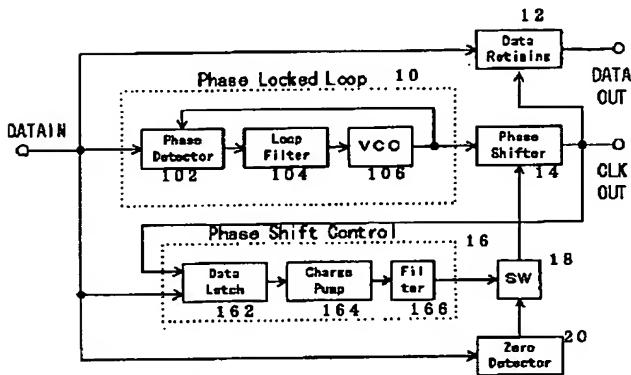
CLK OUT...抽出クロック信号
DATA IN...データ入力信号

【図 4】



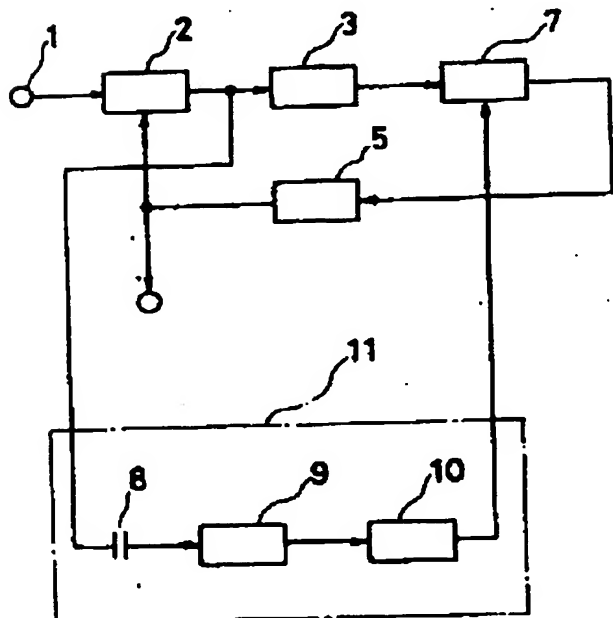
CLK OUT...抽出クロック信号
DATA IN...データ入力信号

【図 5】



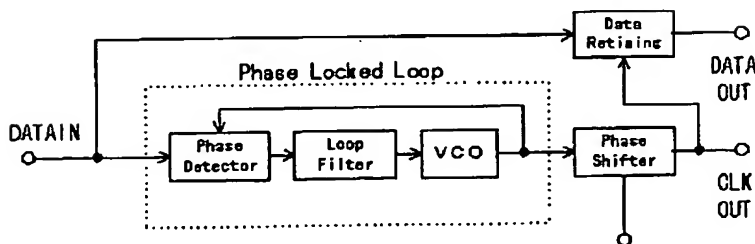
10...位相同期ループ回路 (Phase Locked Loop)
12...データリタイミング回路 (Data Retiming)
14...位相シフト回路 (Phase Shifter)
16...位相シフト制御回路 (Phase Shift Control)
18...切り替え回路 (SW)
20...ゼロ検出回路 (Zero Detector)
102...位相比較器 (Phase Detector)
104...ループフィルタ (Loop Filter)
106...電圧制御発振器 (Voltage Controlled Oscillator)
162...データラッチ回路 (Data Latch)
164...チャージポンプ回路 (Charge Pump)
166...フィルタ (Filter)
CLK OUT...抽出クロック信号
DATA IN...データ入力信号
DATA OUT...リタイミングデータ

【図 7】



1 入力端子
2 検波器
3 ループフィルタ
5 ゲインコントロール回路
7 増幅器
8 コンデンサ
9 全波整流回路
10 ローパスフィルタ
11 位相検波器

【図 6】



CLK OUT...抽出クロック信号
DATA IN...データ入力信号
DATA OUT...リタイミングデータ

【図8】

